Japanese Patent No. 2590931 (Date of Patent: December 19, 1996)

A. Relevance of the Above-identified Document

This document has relevance to <u>Claims 1, 16, 22, 38, 42 and 57</u> of the present application.

B. Translation of the Relevant Passages of the Document [CLAIM 1] A signal correction circuit, comprising: an converter for respectively digitizing a video signal and an average brightness level signal obtained by integrating the video signal; a first memory having data to perform log conversion of the digitized video signal; a digital multiplier for multiplying the signal subject to log conversion by the digitized average brightness level -signal; a second memory having data to perform exponential conversion of the signal outputted from the digital multiplier; and a multiplier for multiplying the signal subject to exponential conversion by a function of the average brightness level signal, the signal correction circuit further comprising a flip-flop for adjusting timings of the signals provided between circuits.

The present invention has been attained in view of the foregoing problems, and an object of which is to

THIS PAGE BLANK (USPTO)

provide a signal correction circuit capable of switching correction data in accordance with the size of an APL signal.

[EFFECTS]

. . .

In other words, when the block diagram of Fig. 8 is actually developed into a circuit, it is possible to change a way of correction according to a value of γ , that is, APL, as shown in Fig. 7. In the present invention, a memory storing log conversion data, and a memory storing exponential conversion data are respectively adopted as a log converter and an exponential converter.

THIS PAGE BLANK (USPTO)

2

(51) Int CL* (19)日本国特許庁 (JP) H04N 5/202 (45)発行日 平成9年(1997) 3月19日 8 华 パ内質理学中 唧 B 数(B2) H04N 5/202 (24)登集日 平成8年(1996)12月19日 (三)体养律与 第2590931号 技術表示循环

発明の表1(全10月)

(22) LILEN EI (21)出資券月 (43)公開日 (85)公园等 平成1年(1889) 3月23日 特別平1-78077 明和62年(1987) 9 月18日 **特國明82-235142** (74)代理人 (72) 発明者 (73) 特殊機能 (72) 現明者 (72) 発明者 日本権 **外理士 資本 智之** 60666666 大竹一曲一 三路 神平 数当と 器底集体式会社内 大阪府門真市大学門真1008番地 松下電 大阪府門真市大学門真1006番地 然下層腦臟臟構式食性 器直接传式会社内 大阪府門資市大学門真1008番組 松下倉 超度操株式会社内 大阪府門真市大学門真1008番組 松下城 (外1名) 開発国にはへ

(54) [発明の名称] 荷号袖正回路

(67) 【特許請求の範囲】

【発明の詳細な説明】

本晃用は液晶テレビ、早板ディスプレイ等の鉛素単位

で駆動する画像表示装置の映像信号の信号補正回路に関するものである。

従来、カラーテレビジョン画像表示用の表示桌子としては、ブラウン管が主として用いられているが、従来のブラウン管では画面の大きさに比して奥行さが非常に異く、舞型のテレビジョン受像機を作成することは不可能であった。そこで近年、平板状の表示桌子として、旦表示桌子、プラズマ表示装置、液晶表示桌子、また本出版人が特別昭57-135590号公領に示した新しい画像表示装置などが開示され、実用化されつつある。

二れら絵兼単位の原動する画像表示装置は、プラウン管と異なり原動器圧に対する輝度特性が緑形であり、映像信号をそのまま原動器圧として使うと明るい画像(独い信号)がつぶれてしまうという問題がある。

以下、図面を参照しながら上述したような輝度特性の いいを説明する。

第10回は、プラウン管と絵楽単位で駆動する画像表示 装置の輝度特性と貼調(見た目の明るさ)を比較して示 したグラフであり、第10回において a はブラウン管の駆動 動電圧に対する輝度特性、 b は絵楽単位で駆動する画像 表示装置の駆動電圧に対する輝度特性、 c は輝度に対す る時調、 d はブラウン管の駆動電圧に対する展調、 e は 絵楽単位で駆動する画像表示装置の駆動電圧に対する機 類、 f は映像信号に対する駆動電圧を示す。

人間の目の特徴として、暗い物に対しては数少な輝度 差でもはっきりと識別できるが、明るい物に対しては算別できなくなる。これをグラフに示したものが第10回。であり、ブラウン管のもつ輝度特性。と合わせて、結果としてものように駆動者圧と階間がほぼ執形になる。これに対して、絵業単位で駆動する画像表示装置の場合、bのような検形の輝度特性をもつため、eのように観動を選圧に対する階間が対数曲機になってしまう。そこで、前もって、入力される映像情号に対してfのような指数特性をもつように過点を行ない駆動を圧とすれば、結果として、経過は4のように接近を行ない駆動を圧とすれば、結果として、経過は4のように接近となる。

第9回は、上記組正を行なうための従来の信号組正回路の一例である。第9回においてR11~R181抵抗器、C11はコンデンサ、TR1~TR3はトランジスタ、D1~D3はゲイオード、31、32、33はそれぞれ入力映像信号、トランジスタTR1のコレクタ出力、最終的な出力映像信号の扱形を示す。

いま、入力場子INに図のような映像信号 (RGB信号) 3 1を入力すると、高い電圧の部分でダイオードD1~D3の作用により、トランジスタTR1に電流が多く近れるので、結果としてトランジスタTR1のコレクタ出力は32のような袖圧を受けた弦形となり、トランジスタTR3で反転することによって結局、出力場子OUTには33のような袖圧映像信号が得られる。

この補正教録信号をアナログーデジタル変換(V/D変換)することによって、絵葉単位で駆動する表示装置の駆動信号が得られる。

しかし、上述のような従来の信号補正回路では、単純な指数曲録補正しかできず、もっと複雑な特性を示すような補正を行なえる回路として、本出版人は特額昭62-31631号において、数ピットにデジタル化された映像信号を所望の一意対応した補正データに置き換えるメモリと、このメモリより出力された補正データのタイミングを合わせるフリップフロップを備えた信号補正回路を投業した。

これは、AD変換器にかけられたデジタル映像信号をメモリのアドレスとして、そのアドレスに一意対応したメモリのアドレスとして、そのアドレスに一意対応した、データを描正されたデジタル映像信号として出力し、次にその出力されたデータをフリップフロップに入力してタイミングを合わせることによって、映像信号に所編の

補正をかけるというものである。 発明が解決しようとする問題点

しかしながら上記のような構成では、平均輝度レベル(APL)が高い場合でも底い場合でも施正データは固定なため、全体的に明るい場面 (APLの高い場面)に隙間性をもたせようとすると、全体的に暗い場面の場合、画面が暗くしずんでしまう。逆に、全体的に暗い場面をくっきりと表示しようとすると、全体的に明るい場面が明るく得いたようになってしまう。特に階調性の低い画像表示用表示崇子をもちいる場合、このことが顕著に感じられる。

本発明は上配問題点に置み、APL信号の大きさによって補正データを切り換えることのできる信号袖正回路を提供するものである。 問題点を解決するための手段

上配問題点を解決するために本発明の信号論正回路は、数ピットにデジタル化した映像信号を対数変換するデータを備えたメモリと、上配対数変換された信号とデジタル化したAPL信号を乗算するデジタル乗算器と、上配デジタル乗算器の出力した信号を指数変換するデータを備えたメモリとを備え、かつ各信号のタイミングを合わせるフリップフロップをそれぞれの回路の間に設けたものである。

本発明は上記した構成によって、APLの値によってデータの袖正のかけ方を変えることができる。この理由を以下で簡単に収明する。

第7図の3本の実験は、3本の縁の交点の座頃を (1. 1) とすれば、一般式として下のような式で表わされ る。

y=xγ (x>0,y>0,y>0) ······ (1) 上記3本の実験は

のときの $y = x \gamma 0 / 7 7$ である。 この(1) 式は以下のように変換できる。

log y=log x 7

log y≔ γ·log x

逆に言いかえれば、第8図のプロック図を実験に回路 すれば、γの値、すなわちNPLによって結正のかけ方を 第7図のように変化させることができる。本現界では、 対数変換器、指数変換器としてそれぞれ対数、指数変換。 データの入ったメモリをもちいている。

以下本発明の一架施倒の信号橋江回路について、図回

さて、(1) 式を数ピットにデジタル化された信号をとり扱う場合について考えてみる。いま、入力される信

を参照しながら説明する。

第1図は本発明の第1の実施例における信号補正回路のプロック図を示すものである。図において1は映像信号入力増子、2はクロック入力増子、3は補正されたデジタル信号出力増子、4はMC(平均増度レベル)信号であり、映像信号を抵抗Ro。コンデンサCoによって積分することにより得ている。

となる。よって、(1) 式は次のように審き直すことが

号をnビットとすれば、その最大値X_{max}は

Xnax=2n-1

できる。

$$\frac{Y}{Y max} = \left(\frac{X}{X max}\right)^T (1 < X < X max) \cdots (3)$$

ただし、Yunxは出力信号の最大値で、ふつうYanx=X

この (3) 式を変換していくと、以下のようになる。

式(4)を実際に回路構成したのが第1図である。映像信号入力増子1より入力された映像信号は、A/0変換器5によってA/0変換され、デジタル映像信号a とな

る。デジタル検験信号 ロスモリらに入っている指数変換データによって第5回のような補正をうける。第5回において、入出力データはそれぞれ 4 ピットで正規化されて開立で示されている。上記メモリらにおいて指数変換された信号 bは、映像信号を低切のとコンデンサので積分して得られたAPL信号 4 をんの変換器 7 セル変換した信号 た フリップフロップ8,9でタイミングをあおせた後、デジタル乗算器10により乗算される。まらにこの信号は、メモリ11に入っている対数変換データによって第6回のような補正をうける。第6回において、入力データが35れているが、これは、後ほど示す実勢の信号補正回路(第3回)では、入

力が23以下であるためである。

ここまでで、(4) 式のe・10g Xまでが求められたことになる。最後に、APL信号4をAD変換した信号。 (y) をメモリ12によってX_{MAX} (1ーッ) の値(この例では161-ッ) に変換して、さらにデジタル弾撃器16によって、上記対数変換した信号4と乗算し、最終的に補正したデジタル信号1を得る。

以上のように本実施例によれば、3つのメモリ6.11.1 2に、指数変換、対数変換、開数7max (1 - y) 変換のそれぞれの固定データを入れておきさえすれば、AD変換器の分解能はよびデジタル乗算器の分解能に最大限度存する構造が積小限の発表の分解能に最大限できる。

なお、図中13,14,16もタイミングを合わせるためのフリップフロップである。

以下本発明の第2の実施例について図面を参照しながれ間由ナメ

2回は (4) 式の e v log Kを求めるまでは同じでもる。その後で、第1の実施例では、対数変換した信号もとYmax (1 - v) とをかけて、最終的に補正したデジタル信号 f をえていたが、第2の実施倒では、ピットシブト回路18によって同等の効果をえている。いま、式(0) より、Ymx=2n-1であるが、nが大きいときま

 n_{BK} $^{-2}$ $^$

 $\chi_{\max}(1-\gamma) = 2^{24}$ (m=n $(1-\gamma)$, mは数数 と書き扱わすことができ、これをデジタル映算器ので対数次数した信号 d とかけめわせるということは、 $\pi F \gamma$ トだけ左にシフトすることと同じである。

よって、デジタル乗算器16のかわりにピットシフト回路18をもちいることができる。 いま、式(5)において、n=4。

ethit,

第3図は本発明の第2の実施例における信号補正回路の具体回路図である。上記回路図の構成は、第2図のプロック図と同じであるため、詳細ははぶくが、ピットンプト回路としてデータセレクター74/LS163を使って、6ピットの映像信号に対して、その/PLにより、

の補正がかかるようになっている。この回路図と同じ構成で、 4 ビットの映像信号に補正をかけたときの全システムの入出力の開係を第4 図に、メモリ6 (13)、およびメモリ11 (1G1)の対数変換、指数変換のデータの

入出力関係をそれぞれ終5回、第8回に示す。

4ビット動作のため、データがかなり飛び飛びの彼を とっているが、その動作は強かめられる。

以上のように、デジタル栄算器18のかわりにピットシフト回路18としてデータセレクターをもちいることにより、マ在数の値に解却はうけるが、デジタル栄算器15とメモリ12をはずすことができ、第1の実施例よりは、単純な構成とすることができる。

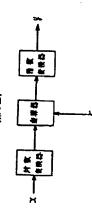
なお、第1の実施例において、指数変換された映像信号もと、APL信号をデジタル変換した信号。とそかけ合わせるのに、デジタル乗簿器10をもちいたが、これは加算器によっておきかえてもよい。

発明の効果

以上のように本発明は、数セットにデジタル化した映像信号を対数変換するデータを編えたメモリと、上配対数変換された信号とデジタル化したML(平均両度レベル)信号を弾するデジタル保算器と、上配デンタル乗算器の出力した信号を指数変換するデータを備えたメモリとを備え、各信号のタイミングを合わせるフリップファップをそれぞれの回路の間に確えることにより、ALの値によってかけ方が変化する補正を映像信号に思いとおりにかけることができ、給募単位で駆動する配換表示(図面の簡単を限に良くすることができる。

第1因は本発明の第1の実施例における信号補正回路のブロック図、第2図は本発明の第2の実施例における信号補正回路をプロック図、第3図は本発明の第2の実施例における信号補正回路の具体回路図、第4図は第2の実施例における信号補正回路の具体回路図、第4図は第2の実施例における信号補正回路の入出力関係を示した特性図、第5図はメモリ2(指数変換)のデータの入出力関係を示した特性図、第5図はメモリ2(指数変換)のデータの入出力関係を示した特性図、第9図は従来例の信号補正回路の回路図、第10図はブラウン管と除棄単位で駆動する間をの再路の算数の関係所生的関係性と協興を比較して示した特性

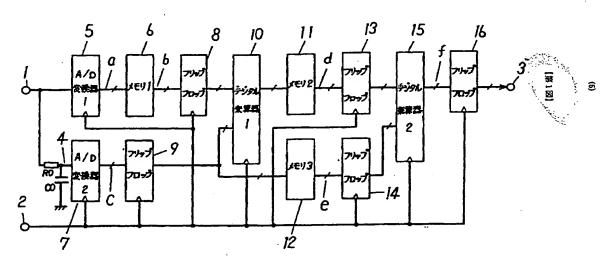
5.7……A/D変換器、6,12,13……メモリ、10,15……デジタル乗算器、8,9,13,14,16……フリップフロップ、18… …ピットシフト回路。



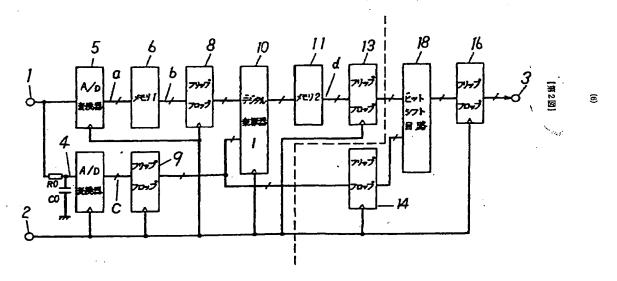
3

映像信号入力端子 2 ー クロックスカ場子 3 ー 補正されたデジタル 信号出力端子 4 — APL信号

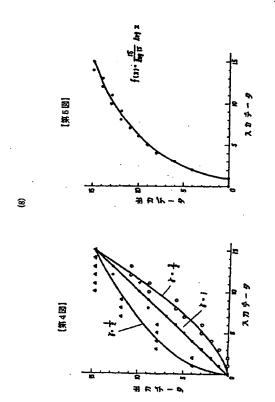
.

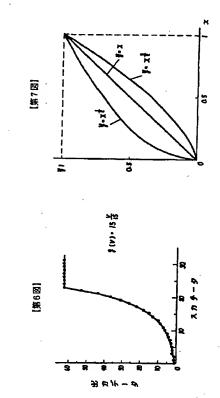


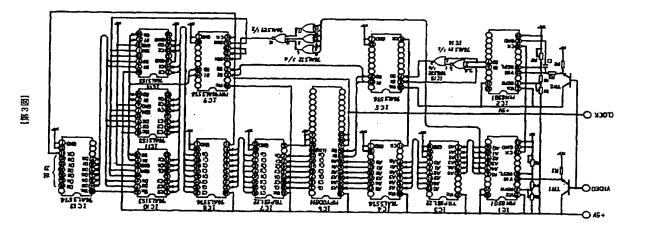
胶像信子入力端子 一 クロックスカ鶏子 植正されたテジタル 信号出力编子 APL信号



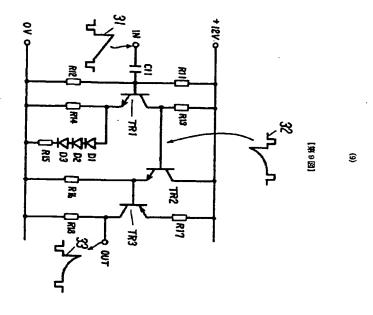
3





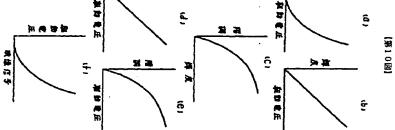






フロントページの説き

(66) 参考文献 特別 昭26-107674 (JP, A) 特別 昭249-126214 (JP, A) 特別 昭26-64570 (JP, A) 特別 昭361-288567 (JP, A)



3

<u>e</u>

THIS PAGE BLANK (USPTO)